

## ⑫ 公開特許公報(A) 平2-82295

⑪ Int.Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑬ 公開 平成2年(1990)3月22日  
 G 09 G 3/36 8621-5C  
 G 02 F 1/133 510 8708-2H  
 G 09 G 3/20 6376-5C  
 審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 マトリクス表示装置のデータドライバ

⑯ 特 願 昭63-233698

⑰ 出 願 昭63(1988)9月20日

⑱ 発 明 者 星 屋 隆 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内  
 ⑱ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内  
 ⑱ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内  
 ⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地  
 ⑲ 代 理 人 弁 理 士 柏 谷 昭 司 外1名

## 明 細 書

## 3 発明の詳細な説明

## (概要)

## 1 発明の名称

マトリクス表示装置のデータドライバ

## 2 特許請求の範囲

データバス(1)とスキャンバス(2)とを直交して配置したマトリクス表示パネル(3)の前記データバス(1)にデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、

シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタ(4)と、

前記データバス(1)対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路(5)と、

前記シフトレジスタ(4)の出力信号を3分岐し、3個の制御信号により選択して、前記サンプルホールド回路(5)に加えるサンプリングタイミング信号とするタイミング選択回路(6)とを設けた

ことを特徴とするマトリクス表示装置のデータドライバ。

液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関し、

白黒表示等の為の順次サンプリングと、カラー表示の為のR、G、B信号の同時サンプリングとの何れにも適用可能とし、且つシフトレジスタの動作速度を低減して、消費電力の低減化及び構成の低価格化を図ることを目的とし、

データバスとスキャンバスとを直交して配置したマトリクス表示パネルの前記データバスにデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタと、前記データバス対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路と、前記シフトレジスタの出力信号を3分岐し、3個の制御信号により選択して、前記サン

ルホールド回路に加えるサンプリングタイミング信号とするタイミング選択回路とを設けて構成した。

#### (産業上の利用分野)

本発明は、液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関するものである。

現在、市販されている小型液晶カラーテレビ受像機に於いては、直交配置したデータバスとスキャンバスとの間に液晶を封入し、且つカラーフィルタを設けたマトリクス表示パネルが使用されている。このようなマトリクス表示パネルは、表示容量の増大と大型化とが期待されており、又コンピュータの表示端末装置としての適用も考えられている。従って、各種の用途に対して表示品質を確保できるデータドライバが必要となる。

#### (従来の技術)

NTSC規格によるビデオ信号は、例えば、第

13図に示すように、輝度信号と色差信号と同期信号とが複合された信号であり、このビデオ信号を分離、復調すると、例えば、第14図に示すような同期信号SYNと、R(赤)、G(緑)、B(青)の輝度信号とに分離される。そして、R+G+Bで示すような場合には、白色表示となる。又コンピュータ等から出力されるビデオ信号は、文字或いはグラフィック表示を行うものであり、通常は第12図に示すように、同期信号SYNとR、G、B信号とからなるものである。

液晶表示パネルのようなマトリクス表示パネルを用いた場合は、同期信号SYNに従ってスキャンバスを順次走査し、1走査期間内のR、G、B信号をサンプルホールドしたデータ電圧をデータバスに印加するもので、第15図はデータ電圧を出力する為の従来例のデータドライバの要部ブロック図を示す。同図に於いて、71-1~71-nはサンプリングスイッチ、72-2~72-nはホールド用のコンデンサ、74はシフトレジスタ、75はサンプルホールド回路、76はレベル

コンバータ、77はアナログバッファ回路、78-1~78-nはバッファ回路、S1~Snはシフトレジスタ74の出力信号、Q1~Qnはマトリクス表示パネルのデータバスに接続される出力端子、SIはシフトデータ、CLKはシフトクロック信号、OEはエネーブル信号、V<sub>ee</sub>は0V等の電源の電圧である。

シフトレジスタ74はシフトデータSIをシフトクロック信号CLKに従って順次シフトし、その出力信号S1~Snをレベルコンバータ76を介してサンプルホールド回路75のサンプリングタイミング信号とし、入力されたR、G、B信号をサンプリングスイッチ71-1~71-nによりサンプリングし、コンデンサ72-1~72-nによりホールドし、アナログバッファ回路77を介して1ライン分同時に出力端子Q1~Qnから出力して、マトリクス表示パネルのデータバスに印加する。

第16図はR、G、B信号と、シフトレジスタ74の出力信号S1、S2、S3、・・・との関

係を示し、シフト出力信号は順次サンプルホールド回路75に加えられるから、R、G、B信号は丸印の時点のレベルがサンプルホールドされ、ホールド出力に従ったデータ電圧が出力される。

#### (発明が解決しようとする課題)

データバスとスキャンバスとを直交配置した液晶表示パネルやEL表示パネル等のマトリクス表示パネルを備えた表示装置を、コンピュータ等の表示端末装置として使用する場合、表示データの1ドットを、R、G、Bの3画素に対応させることになる。その場合、第17図のRGBで示す表示データを、時刻t1、t2、t3のシフト出力信号S1、S2、S3に従って順次R、G、B信号をサンプルホールドし、それらをR、G、Bの3画素に対応させて表示することになる。

しかし、表示データRGBは、伝送経路の静電容量等により、RGB'で示すように波形鈍りが生じるものであり、それによって、時刻t1にR信号をシフト出力信号S1に従ってサンプルホールドすると、波形鈍りの部分をサンプリングする

ことになるから、表示データの正確なサンプリングができないことになる。

このような欠点を除く為には、伝送経路の静電容量を急速に充放電できるような電流容量の大きい出力部を設ければ良いことになるが、消費電力が増大する欠点が生じる。

又第18図に示すように、同時サンプリングを行うデータドライバも知られている。即ち、シフトレジスタ84のシフト出力信号により、サンプルホールド回路85の3個のサンプリングスイッチを同時に動作させて、R、G、B信号を同時にサンプルホールドし、アナログバッファ回路87を介して出力端子Q1、Q2、・・・から図示を省略したマトリクス表示パネルのデータバスにデータ電圧を印加するものである。

しかし、サンプルホールド回路85に於いて、R、G、B信号を同時にサンプリングすることが可能となって、前述の波形鈍りによる問題を解決できたとしても、表示容量が小さい表示パネルを用いた場合には、サンプリングタイミング間隔が

大きくなることから、表示解像度が低下することになる。

前述のように、従来例のマトリクス表示装置のデータドライバは、順次サンプリングか同時サンプリングかの何れかの構成を有するものであり、順次サンプリング構成の場合は、波形鈍りの影響により表示品質が低下し、又同時サンプリング構成の場合は、比較的表示容量が小さい構成の表示パネルを用いて動面等を表示する時に、解像度の低下が問題となる。

又順次サンプリングの場合には、マトリクス表示パネルのデータバス対応のビット長のシフトレジスタを必要とするもので、表示容量を大きくするに従ってシフトレジスタのビット長を長くする必要があり、動作速度を高くする必要があり、高価となる欠点があった。

本発明は、順次サンプリングと同時サンプリングとの何れにも適用可能とし、且つシフトレジスタの動作速度を低減して、消費電力の低減化及び構成の低価格化を図ることを目的とするものであ

る。

#### (課題を解決するための手段)

本発明のマトリクス表示装置のデータドライバは、第1図を参照して説明すると、データバス1とスキャンバス2とを直交配置した液晶、EL等のマトリクス表示パネル3のデータバス1に、データ電圧を印加するデータドライバに於いて、シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタ4と、データバス1対応に表示データをサンプリングしてデータ電圧を出力するサンプルホールド回路5と、シフトレジスタ4の出力信号を3分岐し、3個の制御信号により選択して、サンプルホールド回路5に加えるサンプリングタイミング信号とするタイミング選択回路6とを設けて構成したものであり、サンプルホールド回路5からマトリクス表示パネル3のデータバス1に対しては、アナログバッファ回路7を介してデータ電圧が加えられ、又マトリクス表示パネル3のスキャンバス2に対しては、スキャンドライバ8からスキャンパルスが順次加えられ

る。

#### (作用)

タイミング選択回路6は、アンド回路やラッチ回路により構成することができるものであり、アンド回路により構成した場合、3個の制御信号を総て“1”とすることにより、サンプルホールド回路5に加えられるR、G、B信号を同時にサンプリングすることができる。又3個の制御信号のタイミングを設定することにより、シフトレジスタ4の出力信号を3個のタイミングに分割したサンプリングタイミング信号を形成することができるから、R、G、B信号の順次サンプリングを行うことができる。

#### (実施例)

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の一実施例の要部ブロック図であり、11-1～11-nはトランジスタ等からなるサンプリングスイッチ、12-1～12-nはホールド用のコンデンサ、13-1～13-n

はアンド回路、14はシフトレジスタ、15はサンプルホールド回路、16はタイミング選択回路、17はアナログバッファ回路、18-1~18-nはバッファ回路、S1はシフトデータ、CLKはシフトクロック信号、S1~Smはシフト出力信号、REN, GEN, BENはイネーブル信号、Q1~Qnは出力端子である。

タイミング選択回路16に加える3個のイネーブル信号REN, GEN, BENが第1図に於ける制御信号に相当し、例えば、イネーブル信号REN, GEN, BENを総て“1”とすると、シフトレジスタ14の例えばシフト出力信号S1がタイミング選択回路16に加えられた時、3個のアンド回路13-1, 13-2, 13-3の出力信号が同時に“1”となり、サンプルホールド回路15の3個のサンプリングスイッチ11-1, 11-2, 11-3が同時にオンとなるから、R, G, B信号は同時にサンプリングされ、コンデンサ12-1, 12-2, 12-3にホールドされる。

いる時は、2R, 2G, 2Bの実線で示すものとなる。従って、R, G, B信号は順次サンプリングされることになる。

又3個のイネーブル信号REN, GEN, BENを総て“1”とすると、前述のように、タイミング選択回路16は、シフトレジスタ14のシフト出力信号S1, S2, …を、そのまま3分岐して出力することになり、例えば、シフト出力信号S1がタイミング選択回路16に加えられた時、1R, 1G, 1Bの点線で示すサンプリングタイミング信号がサンプルホールド回路15に加えられ、R, G, B信号は同時サンプリングされることになる。次のシフト出力信号S2が加えられた時も同様にして、2R, 2G, 2Bの点線で示すサンプリングタイミング信号が出力されるから、R, G, B信号は同時サンプリングされることになる。

従って、順次サンプリングと同時サンプリングとの何れにも適用可能となり、且つシフトレジスタ14のビット長は、マトリクス表示パネルのデ

又シフトレジスタ14の例えばシフト出力信号S1がタイミング選択回路16に加えられた時、3個のイネーブル信号REN, GEN, BENを順次“1”とすると、サンプルホールド回路15の3個のサンプリングスイッチ11-1, 11-2, 11-3は順次オンとなるから、R, G, B信号は順次サンプリングされることになる。

第3図は動作説明図であり、第2図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトレジスタ14に加えられたシフトデータS1は、シフトクロック信号CLKに従って順次シフトされてシフト出力信号S1, S2, S3, …となる。

又イネーブル信号REN, GEN, BENを、1シフトクロック信号周期T内で図示のように、順次“1”とすると、サンプルホールド回路15に加えられるサンプリングタイミング信号は、シフト出力信号S1がタイミング選択回路16に加えられている時、1R, 1G, 1Bの実線で示すものとなり、又シフト出力信号S2が加えられて

ータバス数の1/3で済むことになり、従来例に比較して、シフトレジスタ14の動作速度は1/3の低速で良いものとなるから、廉価なシフトレジスタを使用することが可能となる。

第4図は本発明の他の実施例の要部ブロック図であり、第2図と同一符号は同一部分を示し、タイミング選択回路16Aをトランジスタ等からなるスイッチ19-1~19-nにより構成し、且つサンプルホールド回路を、サンプル回路15aとホールド回路15bとに分離し、それらの間にタイミング選択回路16Aを設けた場合を示す。

シフトデータS1をシフトクロック信号CLKによってシフトしたシフトレジスタ14のシフト出力信号S1~Smは、3分岐されてサンプル回路15aに加えられ、サンプル回路15aのサンプリングスイッチ11-1~11-nは、3個毎にオンとなり、R, G, B信号を同時にサンプリングしてタイミング選択回路16Aに加えることになる。

タイミング選択回路16Aでは、イネーブル信

号REN, GEN, BENによってスイッチ19-1~19-nのオン、オフが制御されるから、例えば、シフト出力信号S1によりR, G, B信号をサンプリングスイッチ11-1~11-3によって同時サンプリングし、イネーブル信号REN, GEN, BENを同時に“1”とすると、スイッチ19-1~19-3が同時にオンとなり、ホールド回路15bのコンデンサ12-1~12-3にホールドされる。即ち、R, G, B信号の同時サンプリングが行われることとなる。

又イネーブル信号REN, GEN, BENを順次“1”とすると、スイッチ19-1~19-3は順次オンとなるから、サンプリング回路15aのサンプリングスイッチ11-1~11-3により同時にサンプリングされたR, G, B信号は、順次サンプリングされて、ホールド回路15bのコンデンサ12-1~12-3にホールドされる。即ち、R, G, B信号の順次サンプリングが行われることになる。

第5図は本発明の更に他の実施例の要部ブロッ

ク図であり、21-1~21-nはサンプリングスイッチ、22-1~22-nはホールド用のコンデンサ、23-1, 23-2, 23-3はラッチ回路、24はシフトレジスタ、25はサンプルホールド回路、26はタイミング選択回路、27はアナログバッファ回路、28-1~28-nはバッファ回路、S1はシフトデータ、CLKはシフトクロック信号、S1~Smはシフト出力信号、RL, GL, BLはラッチ信号、Q1~Qnは出力端子である。

シフトレジスタ24と、サンプルホールド回路25と、アナログバッファ回路27とは、前述の各実施例に於ける構成と同様であるが、タイミング選択回路26がラッチ回路23-1~23-3により構成されており、3個のラッチ信号RL, GL, BLが第1図に於ける3個の制御信号に相当したものとなる。

タイミング選択回路26のラッチ回路23-1~23-3は、シフトレジスタ24のシフト出力信号S1~Smを、ラッチ信号RL, GL, BL

に従ってラッチし、出力端子Qからサンプルホールド回路25にサンプリングタイミング信号として加えるものである。それによって、R, G, B信号がサンプリングスイッチ21-1~21-nによってサンプリングされ、コンデンサ22-1~22-nにホールドされて、バッファ回路28-1~28-nを介して出力端子Q1~Qnから図示を省略したマトリクス表示パネルのデータバスにデータ電圧を印加することになる。

ラッチ信号RL, GL, BLが同時にタイミング選択回路26に加えられると、例えば、シフト出力信号S1はラッチ回路23-1~23-3に同時にラッチされ、出力端子Qからのサンプリングタイミング信号により、サンプルホールド回路25のサンプリングスイッチ21-1~21-3が同時にオンとなって、R, G, B信号の同時サンプリングが行われる。

又ラッチ信号RL, GL, BLが順次加えられると、例えば、シフト出力信号S1は、ラッチ回路23-1にラッチされた後、ラッチ回路23-

2にラッチされ、更にその後にラッチ回路23-3にラッチされる。即ち、シフト出力信号S1は3個の異なるタイミングでラッチ回路23-1~23-3にそれぞれラッチされるから、サンプルホールド回路25には順次タイミングが異なるサンプリングタイミング信号が加えられることになり、R, G, B信号の順次サンプリングが行われる。

第6図は第5図に於ける順次サンプリングの動作説明図であり、第5図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトデータS1はシフトクロック信号CLKに従って順次シフトされ、シフト出力信号S1, S2, S3, ...が順次出力される。又3個のラッチ信号RL, GL, BLが異なる位相で加えられると、それに対応してラッチ回路23-1~23-3に順次ラッチされるから、ラッチ回路23-1~23-3の出力端子Qからは、シフト出力信号S1に対応して1R, 1G, 1Bに示すように順次出力され、又シフト出力信号S2に対応して2R, 2Gに

示すように順次出力される。従って、サンプルホールド回路25に於いては、R、G、B信号の順次サンプリングが行われる。

第7図は第5図に於ける同時サンプリングの動作説明図であり、第5図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトデータS1、シフトクロック信号CLK、シフト出力信号S1、S2、S3、・・・は第6図に示す場合と同一であるが、ラッチ信号RL、GL、BLが同一位相でタイミング選択回路26に加えられる。従って、シフト出力信号S1、S2、S3、・・・は、同時にラッチ回路23-1~23-3にラッチされることになり、出力端子Qからは、シフト出力信号S1、S2、・・・に対応して、1R、1G、1B、2R、2G、・・・のように出力されるから、R、G、B信号の同時サンプリングが行われる。

第8図は順次サンプリング表示の表示装置のブロック図であり、マトリクス表示パネル30は、例えば、243×240の白黒マトリクス表示パ

ネルであり、31はデータバス、32はスキャンバス、33はトランジスタ等のスイッチング素子、34は液晶等からなる表示素子、35は同期分離回路、36は色差信号トラップ、37はバッファ増幅器、38はタイミング制御回路、39はスキャンドライバ、40-1~40-3はデータドライバである。

データドライバ40-1~40-3は、それぞれ、第2図、第4図或いは第5図に示す構成を有し、マトリクス表示パネル30の243本のデータバス31を、各データドライバ40-1~40-3は81本宛分担することになる。又各データドライバ40-1~40-3のシフトレジスタは直列的に接続されて、シフトデータS1がシフトクロック信号CLKに従ってシフトされる。

又ビデオ信号は同期分離回路35に加えられ、分離された同期信号SYNはタイミング制御回路38に加えられて、シフトデータS1、シフトクロック信号CLK、イネーブル信号やラッチ信号等の制御信号CS1、CS2、CS3、スキャン

データSD、スキャンクロック信号SCN等が出力される。又色差信号トラップ36に於いて、ビデオ信号から3.58MHzのトラップにより色信号を抜き取ることにより、白黒の輝度信号とし、バッファ増幅器37を介してデータドライバ40-1~40-3に加える。この場合、R、G、B信号を加える端子を共通に接続して輝度信号を加える構成とすることになる。

又スキャンドライバ39は、スキャンデータSDをスキャンクロック信号SCNに従ってシフトし、そのシフト出力信号によりスキャンバス32に順次スキャンパルスを加えるものであり、そのスキャンパルスに同期して、データドライバ40-1~40-3から1ライン分のデータ電圧が出力されて、マトリクス表示パネル30のデータバス31に加えられる。

データドライバ40-1~40-3のタイミング選択回路を第2図又は第4図に示す構成とした場合、タイミング制御回路38からの制御信号CS1、CS2、CS3をイネーブル信号REN、

GEN、BENとし、第3図に示すように、それぞれ位相が異なる信号とすることにより、バッファ増幅器37からの輝度信号は、順次サンプリングされることになる。又タイミング選択回路を第5図に示す構成とした場合、タイミング制御回路38からの制御信号CS1、CS2、CS3をラッチ信号RL、GL、BLとし、第6図に示すように、それぞれ位相が異なる信号とすることにより、バッファ増幅器37からの輝度信号は、順次サンプリングされることになる。

白黒テレビ受像機の場合、R、G、Bの3ドット分を同時にサンプリングすると、解像度が低下することになるが、前述のように、順次サンプリングにより解像度を低下させることなく、表示することができる。

第9図は同時サンプリング表示の表示装置のブロック図であり、41はデータバス、42はスキャンバス、43はトランジスタ等のスイッチング素子、44は表示素子、45はマトリクス表示パネル、47はバッファ増幅器、48はタイミング

制御回路、49はスキヤンドライバ、50-1～50-3はデータドライバである。マトリクス表示パネル45は、例えば、320×200×3の表示容量を有し、R、G、B画素がストライプ状に配列されてカラー表示を行う構成の場合、各データドライバ50-1～50-3は、320本のデータバス41を分担することになる。

又コンピュータ等からR、G、B信号と同期信号SYNとが入力され、タイミング制御回路48から、同期信号SYNに従って、シフトデータS1、シフトクロック信号CLK、制御信号CS、スキヤンデータSD、スキヤンクロック信号SCN等が出力される。又バッファ増幅器47からのR、G、B信号がデータドライバ50-1～50-3に加えられる。又スキヤンドライバ49からマトリクス表示パネル45のスキヤンバス42にスキヤンパルスが加えられ、それに同期してデータドライバ50-1～50-3からデータ電圧がデータバス41に加えられる。

データドライバ50-1～50-3は、それぞ

れ、第2図、第4図或いは第5図に示す構成を有し、それぞれのシフトレジスタは直列的に接続されて、シフトデータS1をシフトクロック信号CLKに従ってシフトすることになる。又タイミング制御信号48からの制御信号CSは、データドライバ50-1～50-3のタイミング選択回路が第2図又は第4図に示す構成の場合、同一位相のイネーブル信号REN、GBN、BENに相当し、第5図に示す構成の場合、同一位相のラッチ信号RL、GL、BLに相当するものとなる。

従って、データドライバ50-1～50-3に於いては、R、G、B信号を同時サンプリングすることになり、R、G、B信号の伝送経路に於ける静電容量等による波形鈍りの問題を解決して、マトリクス表示パネル45にカラー表示を行うことができる。

第10図は、マトリクス表示パネル55のデータバスを両側に導出して、それぞれデータドライバ60-1～60-k+1によってデータ電圧を印加する分割駆動表示の表示装置のブロック図を

示し、56はタイミング制御回路、57はスキヤンドライバである。コンピュータ等からのR、G、B信号がデータドライバ60-1～60-k+1に加えられ、又同期信号SYNがタイミング制御回路56に加えられ、タイミング制御回路56からシフトクロック信号CLKA、CLKB、制御信号CSA、CSB、シフトデータS1、スキヤンデータSD、スキヤンクロック信号SCN等が出力される。

データドライバ60-1～60-k+1は、前述の第2図、第4図或いは第5図に示す構成を有し、奇数番のデータドライバ60-1、60-3、・・・60-kのシフトレジスタは直列的に接続されて、シフトデータS1をシフトクロック信号CLKAに従って順次シフトし、同様に、偶数番のデータドライバ60-2、60-4、・・・60-k+1のシフトレジスタも直列的に接続されて、シフトデータS1をシフトクロック信号CLKBに従って順次シフトする。

又R、G、B信号は、第2図、第4図或いは第

5図に示す構成と対応させると、奇数番のデータドライバ60-1、60-3、・・・60-kは、R→R、G→B、B→Gの關係に、又偶数番のデータドライバ60-2、60-4、・・・60-k+1は、R→G、G→R、B→Bの關係になるように接続される。

又シフトレジスタのシフト出力信号と、タイミング制御回路56からの制御信号CSA、CSBとにより、データドライバ60-1～60-k+1に於けるサンプリングタイミング信号が形成されて、R、G、B信号のサンプリングが行われ、スキヤンドライバ57からのスキヤンパルスに同期して、マトリクス表示パネル55のデータバスにデータ電圧が印加される。

マトリクス表示パネル55は、データバスとスキヤンバスとの交点のR、G、B画素が丸印内で示すように配列され、データバスが交互に両側へ導出されていることにより、例えば、奇数番のデータドライバ60-1、60-3、・・・60-kでは、R、B、G、R、B、Gの順序に配列し

た画素対応のデータバスにデータ電圧を印加することになり、偶数番のデータドライバ60-2, 60-4, ..., 60-k+1では、G, R, B, G, R, Bの順序に配列した画素対応のデータバスにデータ電圧を印加することになる。

データドライバ60-1~60-k+1が、第2図に示す構成を有する場合、奇数番のデータドライバ60-1, 60-3, ..., 60-kは、制御信号CSAをイネーブル信号BENとし、制御信号CSBをイネーブル信号REN, GENとする。又偶数番のデータドライバ60-2, 60-4, ..., 60-k+1は、制御信号CSAをイネーブル信号RENとし、制御信号CSBをイネーブル信号GEN, BENとする。

第11図は第10図の制御タイミングの説明図であり、データドライバ60-1~60-k+1のタイミング選択回路を、前述のように、第2図又は第4図に示す構成とした場合を示す。即ち、シフトレジスタにタイミング制御回路56からシフトデータS1が加えられ、シフトクロック信号

CLK (CLKA, CLKB) に従ってシフトされ、S1, S2に示すように、シフトクロック信号CLKに従ってシフト出力信号が得られる。又制御信号CSA, CSBが図示のように出力されると、データドライバ60-1に於いては、シフト出力信号S1と制御信号CSB (REN, GEN) (第2図参照) とが"1"であるから、アンド回路13-1, 13-2の出力信号が"1"となり、R→R, G→Bの関係の接続となっているから、R, B信号がサンプリングされることになる。

又データドライバ60-2に於いては、シフト出力信号S1と制御信号CSB (REN) (第2図参照) とが"1"であるから、アンド回路13-1の出力信号が"1"となり、R→Gの関係の接続となっているから、G信号がサンプリングされる。即ち、入力されたR, G, B信号がT1のサンプリングタイミング信号(1R, 1G, 1B)によって同時サンプリングされる。従って、データドライバ60-1からR, Bの画素、データ

ドライバ60-2からGの画素に対するデータ電圧が印加されることになる。

次に制御信号CSAが"1"となるから、データドライバ60-1に於いては、イネーブル信号BENが"1"になったことに相当し、アンド回路13-3の出力信号が"1"となり、B→Gの関係の接続となっているから、G信号がサンプリングされる。又データドライバ60-2に於いては、イネーブル信号GEN, BENが"1"になったことに相当し、アンド回路13-2, 13-3の出力信号が"1"となり、G→R, B→Bの関係の接続となっているから、R, B信号がサンプリングされる。即ち、入力されたR, G, B信号が、第11図に於けるT2のサンプリングタイミング信号(2R, 2G, 2B)によって同時サンプリングされる。以下同様にして、シフト出力信号S1, S2, ...と制御信号CSB, CSAとに対応したサンプリングタイミング信号T2, T3, T4により、奇数番のデータドライバと偶数番のデータドライバとに於いてR, G, B信

号が同時サンプリングされる。

第12図は第10図の制御タイミング説明図であり、データドライバ60-1~60-k+1のタイミング選択回路を、第5図に示す構成とした場合を示す。即ち、タイミング制御回路56からのシフトデータS1がシフトクロック信号CLK (CLKA, CLKB) に従ってシフトレジスタにシフトされ、シフト出力信号S1, S2, ...が出力される。又制御信号CSB, CSAがラッチ信号としてデータドライバ60-1~60-k+1のラッチ回路に加えられる。この場合、第5図に於けるR, G, B信号の入力端子と、ラッチ信号RL, GL, BLの入力端子とは、第11図について説明した場合と同様の関係で、奇数番のデータドライバ60-1, 60-3, ..., 60-kと、偶数番のデータドライバ60-2, 60-4, ..., 60-k+1とに於ける入力端子の接続が行われている。

従って、シフト出力信号S1が"1"の時、制御信号CSB (ラッチ信号) が"1"となると、



奇数番のデータドライバ60-1では、 $CSB = RL = GL$ の関係であるから、ラッチ回路23-1、23-2(第5図参照)にシフト出力信号S1がラッチされ、偶数番のデータドライバ60-2では、 $CSB = RL$ の関係であるから、ラッチ回路23-1にシフト出力信号S1がラッチされる。そして、奇数番のデータドライバ60-1では、 $R \rightarrow R$ 、 $G \rightarrow B$ 、 $B \rightarrow G$ の関係で接続されているから、R、B信号がサンプリングされ、偶数番のデータドライバ60-2では、 $R \rightarrow G$ 、 $G \rightarrow R$ 、 $B \rightarrow B$ の関係で接続されているから、G信号がサンプリングされる。即ち、T1で示すサンプリングタイミング信号によってR、G、B信号が同時にサンプリングされる。

又制御信号CSAが“1”となると、奇数番のデータドライバ60-1では、 $CSA = BL$ の関係であるから、ラッチ回路23-3にシフト出力信号S1がラッチされ、偶数番のデータドライバ60-2では、 $CSA = GL$ 、 $BL$ の関係であるから、ラッチ回路23-2、23-3にシフト出

力信号S1がラッチされ、奇数番のデータドライバ60-1ではG信号がサンプリングされ、偶数番のデータドライバ60-2ではR、B信号がサンプリングされる。即ち、T2で示すサンプリングタイミング信号によってR、G、B信号が同時にサンプリングされる。以下同様にして、T3、・・・サンプリングタイミング信号が形成されて、奇数番と偶数番とのデータドライバが協同してR、G、B信号を同時サンプリングすることになる。

マトリクス表示パネル55の両側にデータバスを導出し、それぞれにデータドライバを設けた場合は、片側に導出したデータバスにデータドライバを接続した場合に比較して、シフトレジスタを1/2のシフトクロック信号周波数で動作させることが可能となり、表示容量の大きいマトリクス表示パネルのデータドライバとして好適となる。

(発明の効果)

以上説明したように、本発明は、シフトレジスタ4の出力信号を3分岐し、3個のイネーブル信

号REN、GEN、BEN又はラッチ信号RL、GL、BL等の制御信号CS1、CS2、CS3によって選択し、サンプルホールド回路5に加えるサンプリングタイミング信号を形成するタイミング選択回路6を設けたものであり、制御信号によって、比較的表示容量が小さいマトリクス表示パネル3用の順次サンプリングと、比較的表示容量が大きいマトリクス表示パネル3用の同時サンプリングとに対して適用することができる。

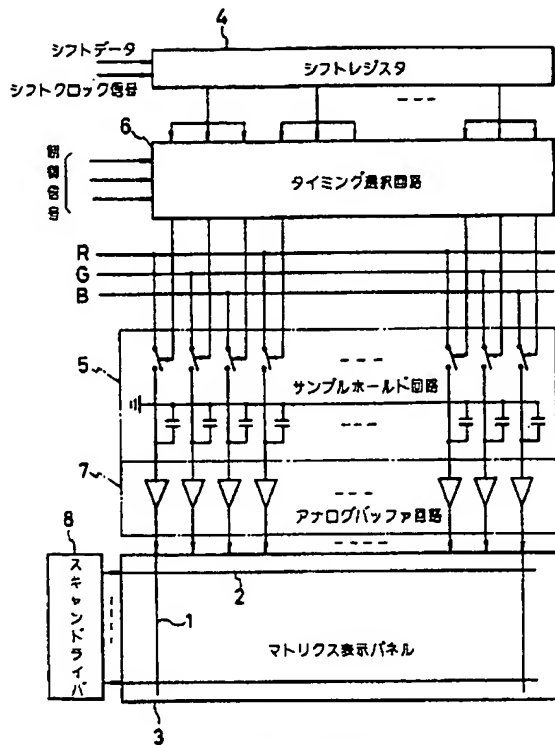
又シフトレジスタ4の出力信号を3分岐して制御信号により選択するものであり、シフトレジスタ4のビット長を従来例に比較して1/3にすることが可能となり、シフトクロック信号の周波数を低減することができるから、消費電力が少なくなり、且つ廉価な構成とすることができるから、経済化を図ることができる。

#### 4 図面の簡単な説明

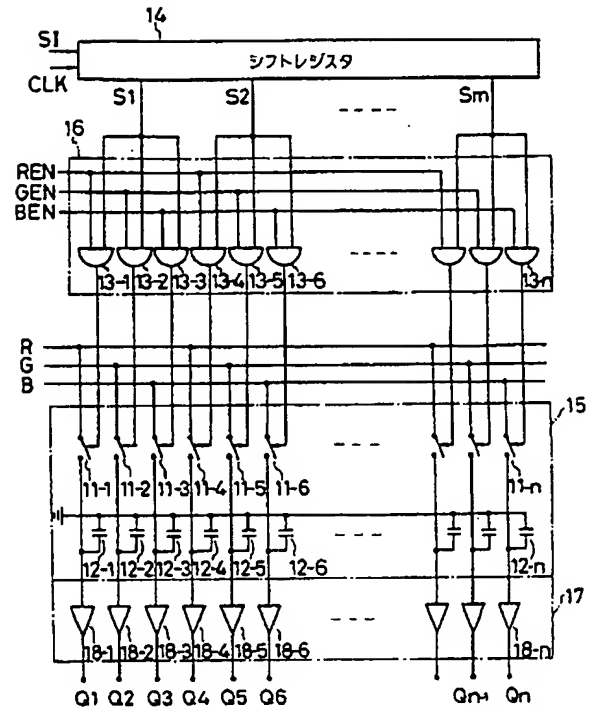
第1図は本発明の原理説明図、第2図は本発明の一実施例の要部ブロック図、第3図は本発明の一実施例の動作説明図、第4図は本発明の他の実

施例の要部ブロック図、第5図は本発明の更に他の実施例の要部ブロック図、第6図は順次サンプリングの動作説明図、第7図は同時サンプリングの動作説明図、第8図は順次サンプリング表示の表示装置のブロック図、第9図は同時サンプリング表示の表示装置のブロック図、第10図は分離駆動表示の表示装置のブロック図、第11図及び第12図は第10図の制御タイミング説明図、第13図はビデオ信号の説明図、第14図はRGB信号の説明図、第15図は従来例のデータドライバの要部ブロック図、第16図は従来例の動作説明図、第17図は順次サンプリングの説明図、第18図は従来例の同時サンプリングの要部ブロック図である。

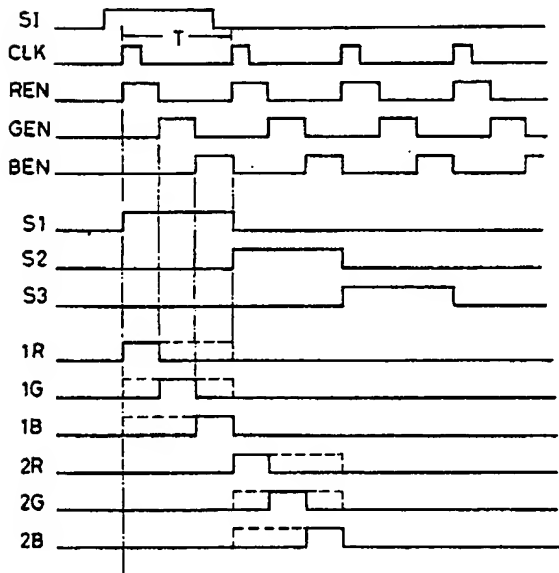
1はデータバス、2はスキャンバス、3はマトリクス表示パネル、4はシフトレジスタ、5はサンプルホールド回路、6はタイミング選択回路、7はアナログバッファ回路、8はスキャンドライバである。



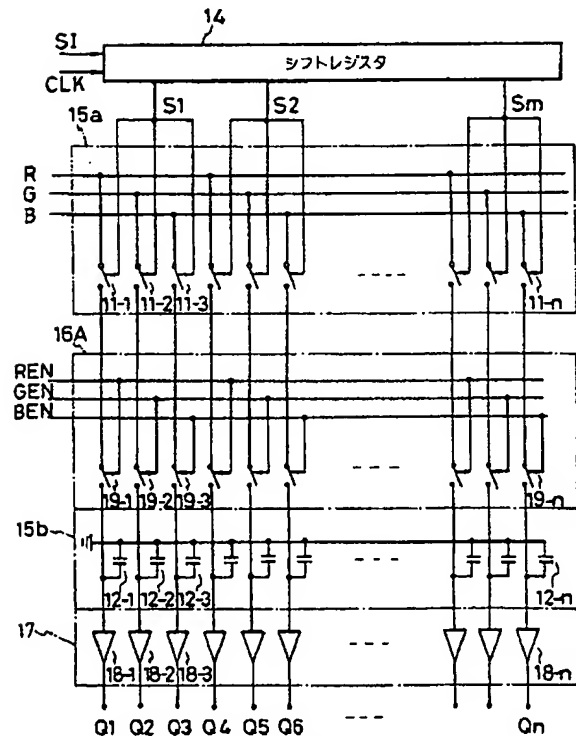
本発明の原理説明図  
第 1 図



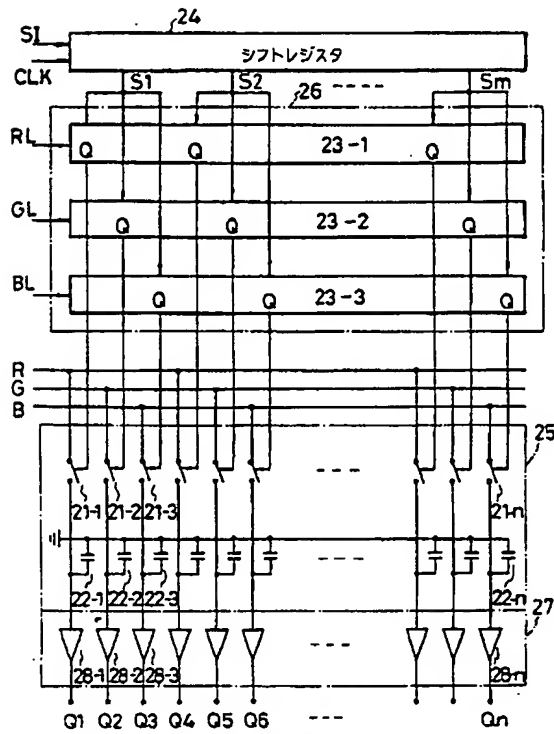
本発明の一実施例の要部ブロック図  
第 2 図



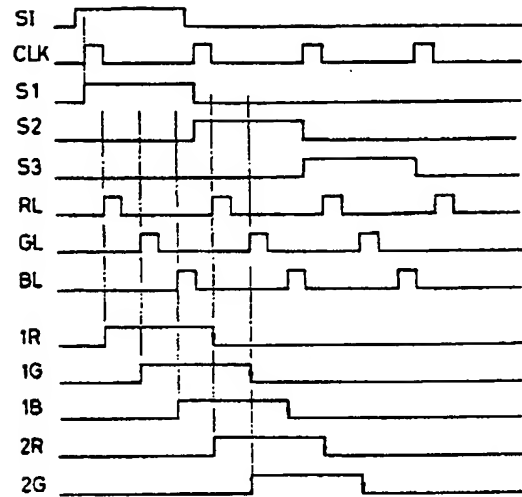
本発明の一実施例の動作説明図  
第 3 図



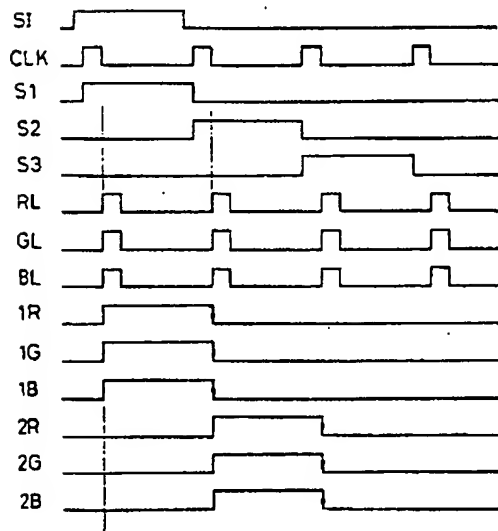
本発明の他の実施例の要部ブロック図  
第 4 図



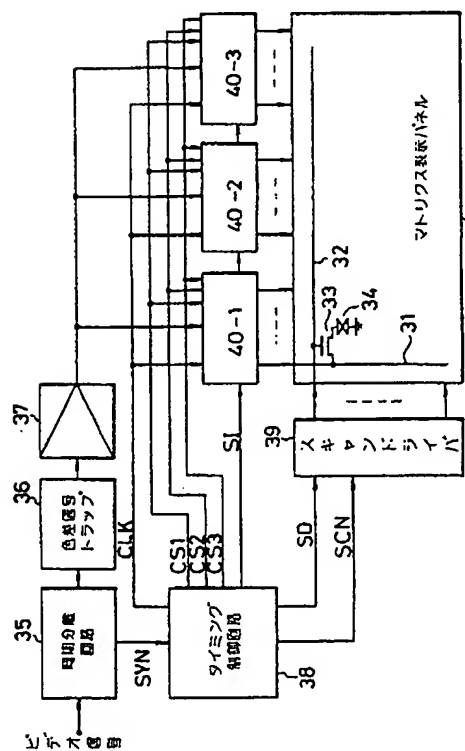
本発明の更に他の実施例の要部ブロック図  
第5図



順次サンプリングの動作説明図  
第6図



同時サンプリングの動作説明図  
第7図



順次サンプリング表示装置のブロック図  
第8図

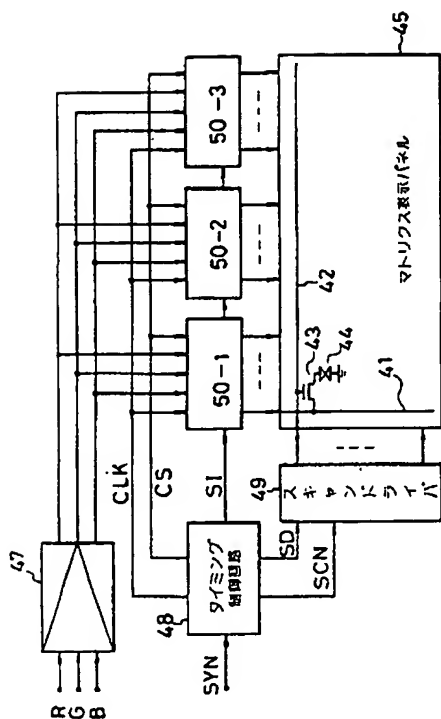


図9 同期サンプリング表示装置のブロック図

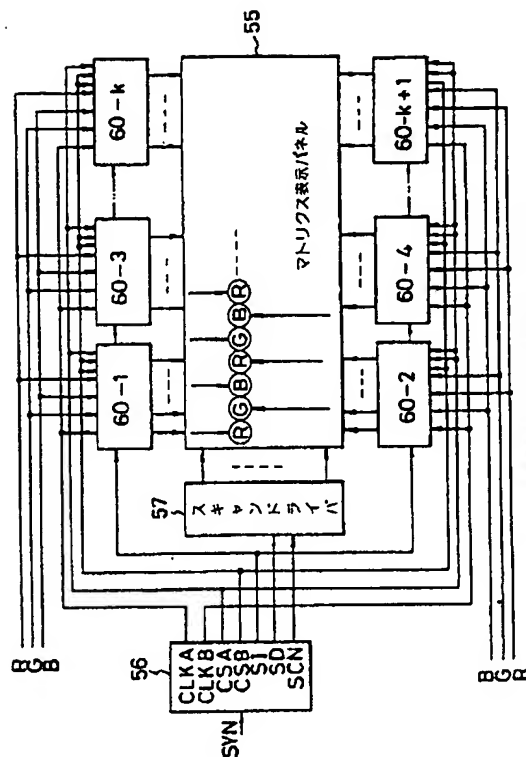


図10 非同期表示装置のブロック図

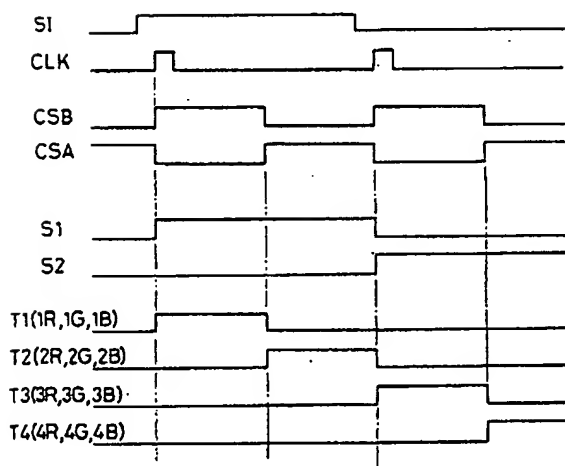


図11 図10の動作タイミング説明図

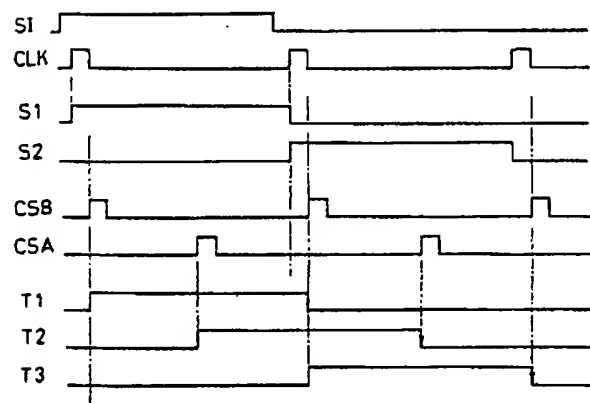
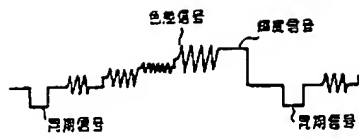
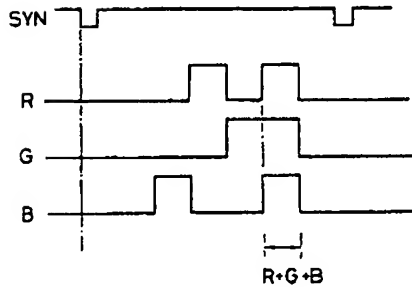


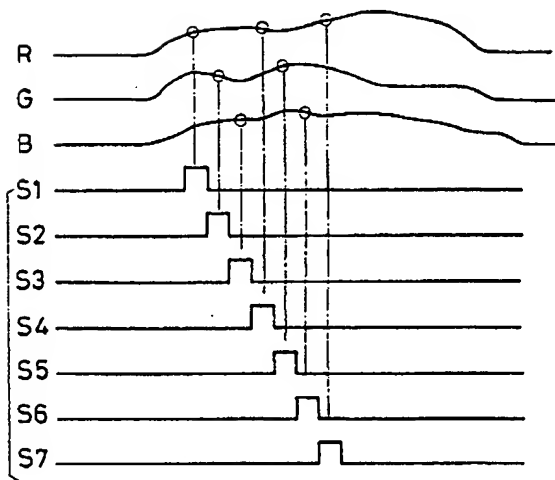
図12 図10の動作タイミング説明図



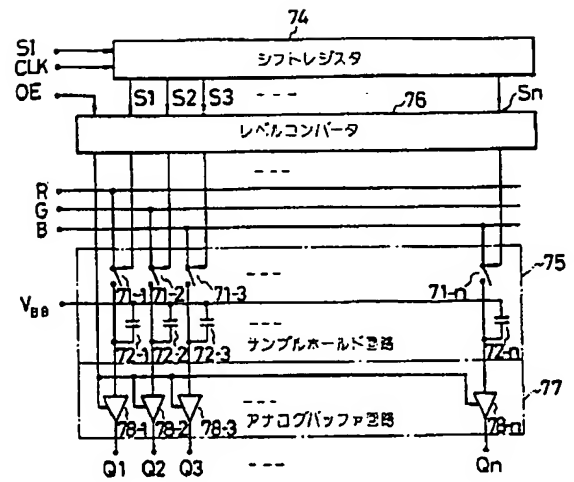
ビデオ信号の説明図  
第13図



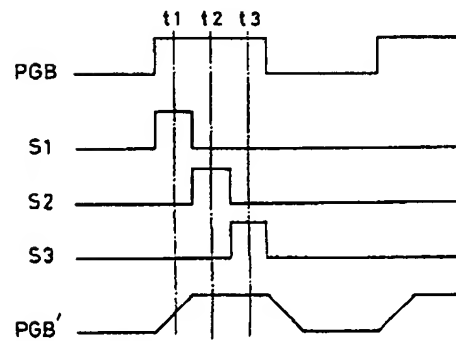
RGB信号の説明図  
第14図



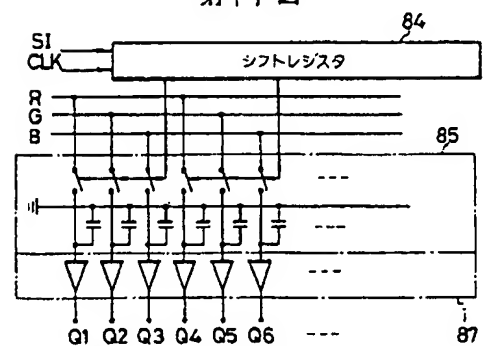
従来例の動作説明図  
第16図



従来例のデータドライバの要部ブロック図  
第15図



staggered samplingの説明図  
第17図



従来例の staggered samplingの要部ブロック図  
第18図



JP-A-2-82295

## SPECIFICATION

### 1. Title of the Invention

DATA DRIVER OF MATRIX DISPLAY DEVICE

### 2. Claim

A data driver of a matrix display device, in which data voltage is applied to a data bus 1 of a matrix display panel 3 where the data bus 1 and a scan bus 2 are disposed intersecting perpendicularly to each other, comprising:

a shift register 4 for sequentially shifting shift data according to a shift clock signal;

a sample hold circuit 5 for sampling the display data corresponding to the data bus 1 to output the data voltage; and

a timing selection circuit 6 for dividing the output signal of the shift register 4 into three signals, which are selected by three control signals to form sampling timing signals to be applied to the sample hold circuit 5.

### 3. Detailed Description of the Invention

[Summary]

This invention relates to a data driver of a matrix display device for applying data voltage to a matrix display panel in which a display medium such as liquid crystal or EL is interposed between a data bus and a scan bus disposed intersecting perpendicularly to each other, and it is an object of the invention to apply the data driver of the matrix display device to both the sequential sampling for white-and-black display and the simultaneous sampling of R, G and B signals for color display, and also decrease the operating speed of a shift register to reduce the power consumption and lower the cost of construction. The data driver of a matrix display device, in which data voltage is applied to a data bus of a matrix display panel where the data bus and a scan bus are disposed intersecting perpendicularly to each other, includes: a shift register for sequentially shifting shift data according to a shift clock signal; a sample hold circuit for sampling the display data corresponding to the data bus to output the data voltage; and a timing selection circuit for dividing the output signal of the shift register into three signals, which are selected by three control signals to form sampling timing signals to be applied to the sample hold circuit.

[Industrial Field of Application]

This invention relates to a data driver of a matrix

display device for applying data voltage to a matrix display panel in which a display medium such as liquid crystal or EL is interposed between a data bus and a scan bus disposed intersecting perpendicularly to each other.

In the small-sized liquid crystal color television receiver put on the market at present, used is the matrix display panel, in which the liquid crystal is enclosed between the data bus and the scan bus disposed intersecting perpendicularly to each other, and a color filter is provided. This type of matrix display panel has been expected to increase the display capacity and get larger and larger in size, and application as a display terminal device of a computer has been considered. Therefore, it is necessary to provide a data driver, which may ensure display quality to various uses.

[Prior Art]

A video signal according to NTSC standard is, as shown in Fig. 13, for example, a composite signal of a luminance signal, a color difference signal and a synchronous signal, and when the video signal is separated and demodulated, it is separated into a synchronous signal SYN and the luminance signals of R (red), G (green) and B (blue), for example, as shown in Fig. 14. In the case designated by  $R + G + B$ , a white display is made. The video signal output from a computer



or the like makes a character or graphic display, and normally the video signal is, as shown in Fig. 12, composed of a synchronous signal SYN and R, G and B signals.

In the case of using a matrix display panel such as a liquid crystal display panel, scan buses are sequentially scanned according to the synchronous signal SYN, and the data voltage sampling and holding the R, G and B signals within one scan period is applied to the data bus. Fig. 15 is a block diagram showing the principal part of the conventional data driver for outputting the data voltage. In Fig. 15, the reference numerals 71-1 to 71-n are sampling switches, 72-2 to 72-n are capacitors for holding, 74 is a shift register, 75 is a sample hold circuit, 76 is a level converter, 77 is an analog buffer circuit, 78-1 to 78-n are buffer circuits, S1 to Sn are output signals of the shift register 74, Q1 to Qn are output terminals connected to the data bus of the matrix display panel, SI is a shift register, CLK is a shift clock signal, OE is an enable signal, and  $V_{BB}$  is the voltage of a power supply such as 0V.

The shift register 74 sequentially shifts the shift data S1 according to a shift clock signal CLK, the output signals S1 to Sn are taken as sampling timing signals of the sample hold circuit 75 through the level converter

76, the input R, G and B signals are sampled by the sampling switches 71-1 to 71-n, held by the capacitors 72-1 to 72-n, and output for one line at the same time from the output terminals Q1 to Qn through the analog buffer circuit 77 to be applied to the data bus of the matrix display panel.

Fig. 16 shows the relationship between the R, G and B signals and the output signals S1, S2, S3, ... of the shift register 74, and since the shift output signals are sequentially applied to the sample hold circuit 75, in the R, G and B signals, the levels at the points indicated by circles are sampled and held, and the data voltage according to the hold output is output.

[Problems that the Invention is to Solve]

In the case of using a display device including a matrix display panel such as a liquid crystal display panel or an EL display panel in which the data bus and the scan bus are disposed intersecting perpendicularly to each other as a display terminal device of a computer or the like, one dot of the display data is made correspond to three pixels of R, G and B. In that case, in the display data indicated by R, G and B in Fig. 17, sequentially R, G and B signals are sampled and held according to the shift output signals S1, S2 and S3 of the time t1, t2, t3, and displayed corresponding to the

three pixels of the R, G and B.

The display data RGB, however, causes waveform dullness as indicated by RGB' due to capacitance of a transmission path, so that when R signal is sampled and held according to a shift output signal S1 at the time t1, a waveform dullness part is sampled, resulting in the disadvantage that accurate sampling of the display data is not performed.

In order to overcome the above disadvantage, it will be sufficient to provide an output part having a current capacity large enough to quickly charge and discharge the capacitance of the transmission path. However, the disadvantage of an increase in power consumption is caused.

As shown in Fig. 18, a data driver for performing simultaneous sampling is also known. That is, three sampling switches of a sample hold circuit 85 are simultaneously operated according to a shift output signal of a shift register 84 to sample and hold R, G and B signals at the same time, and data voltage is applied to the data bus of a matrix display panel not shown from the output terminals Q1, Q2, ...through an analog buffer circuit 87.

In the sample hold circuit 85, however, even if the R, G and B signals can be simultaneously sampled to solve

the above problem due to waveform dullness, in the case of using a display panel having a small display capacity, the sampling timing interval is increased to lower the display resolution.

As described above, the conventional data driver of a matrix display device has the configuration for either sequential sampling or simultaneous sampling, in the case of sequential sampling configuration, the display quality is degraded due to influence of waveform dullness, and in the case of simultaneous sampling configuration, the problem of deterioration of resolution is caused in displaying animation using a display panel having a comparatively small display capacity.

Further, in the case of sequential sampling, a shift register having a bit length corresponding to the data bus of the matrix display panel is needed, so that the larger the display capacity is, the longer the bit length of the shift register should be, and also the higher the operating speed should be, resulting in the disadvantage of being expensive.

It is an object of the invention to apply a data driver of a matrix display device to both the sequential sampling and the simultaneous sampling and also decrease the operating speed of a shift register to reduce the power consumption and lower the cost of construction.

[Means for Solving the Problems]

A data driver of a matrix display device according to the invention will now be described with reference to Fig. 1. A data driver of a matrix display device, in which data voltage is applied to a data bus 1 of a matrix display panel 3 including liquid crystal, EL or the like where the data bus 1 and a scan bus 2 are disposed intersecting perpendicularly to each other, includes: a shift register 4 for sequentially shifting shift data according to a shift clock signal; a sample hold circuit 5 for sampling the display data corresponding to the data bus 1 to output the data voltage; and a timing selection circuit 6 for dividing the output signal of the shift register 4 into three signals, which are selected by three control signals to form sampling timing signals to be applied to the sample hold circuit 5. The data voltage is applied from the sample hold circuit 5 through an analog buffer circuit 7 to the data bus 1 of the matrix display panel 3, and scan pulses are sequentially applied from a scan driver 8 to the scan bus 2 of the matrix display panel 3.

[Operation]

The timing selection circuit 6 may be constructed by an AND circuit or a latch circuit. In the case of constructing it using the AND circuit, three control signals are all "1", to simultaneously sample R, G and B

signals applied to the sample hold circuit 5. On the other hand, the timings of three control signals are set to form sampling timing signals obtained by dividing the output signal of the shift register 4 into three timings, whereby the R, G and B signals are sequentially sampled.

[Embodiments]

The embodiments of the invention will now be described in detail with reference to the drawings.

Fig. 2 is a block diagram showing the principal part of one embodiment according to the invention, the reference numerals 11-1 to 11-n designate a sampling switch including a transistor or the like, 12-1 to 12-n designate a capacitor for holding, 13-1 to 13-n designate an AND circuit, 14 a shift register, 15 a sample hold circuit, 16 a timing selection circuit, 17 an analog buffer circuit, 18-1 to 18-n a buffer circuit, SI a shift data, CLK a shift clock signal, S1 to Sm a shift output signal, REN, GEN and BEN an enable signal, and Q1 to Qn designate an output terminal.

The three enable signals REN, GEN, BEN applied to the timing selection circuit 16 correspond to the control signals in Fig. 1, and in the case where the enable signals REN, GEN, BEN are all "1", for example, when a shift output signal S1 of the shift register 14, for example, is applied to the timing selection circuit 16,

the output signals of the three AND circuits 13-1, 13-2, 13-3 are "1" at the same time, and three sampling switches 11-1, 11-2, 11-3 of the sample hold circuit 15 are simultaneously turned on, so that the R, G and B signals are simultaneously sampled and held in the capacitors 12-1, 12-2, 12-3.

When the shift output signal S1 of the shift register 14 is, for example, applied to the timing selection circuit 16, in the case where three enable signals REN, GEN, BEN are sequentially set to "1", the three sampling switches 11-1, 11-2, 11-3 of the sample hold circuit 15 are sequentially turned on so that the R, G and B signals are sequentially sampled.

Fig. 3 is a diagram for explaining the operation, in which the same reference numerals as those of Fig. 2 designate examples of signals having the same name. The shift data S1 applied to the shift register 14 is sequentially shifted according to a shift clock signal CLK to form shift output signals S1, S2, S3, ....

When the enable signals REN, GEN, BEN are sequentially set to "1" within one shift clock signal period T as shown in the drawing, the sampling timing signals applied to the sample hold circuit 15 are as indicated by solid lines 1R, 1G, 1B when the shift output signal S1 is applied to the timing selection circuit 16,

and on the other hand, they are as indicated by solid lines 2R, 2G, 2B when the shift output signal S2 is applied. Accordingly, the R, G and B signals are sequentially sampled.

When three enable signals REN, GEN, BEN are all "1", as described above, the timing selection circuit 16 outputs the shift output signals S1, S2, ...of the shift register 14 intact by branching to three signals. For example, when the shift output signal S1 is applied to the timing selection circuit 16, the sampling timing signals indicated by dotted lines 1R, 1G, 1B are applied to the sample hold circuit 15 so that the R, G and B signals are simultaneously sampled. When the next shift output signal S2 is applied, similarly the sampling timing signals indicated by dotted lines 2R, 2G, 2B are output so that the R, G and B signals are simultaneously sampled.

Thus, application to both the sequential sampling and the simultaneous sampling is enabled, and also as the bit length of the shift register 14, one-third as large as the number of data buses of the matrix display panel will suffice, whereby as compared with the conventional one, the operating speed of the shift register 14 is made lower as much as  $1/3$  so that an inexpensive shift register may be used.



Fig. 4 is a block diagram showing the principal part of another embodiment according to the invention, in which the same reference numerals as those of Fig. 2 designate the same parts, and which shows the case where a timing selection circuit 16A is constructed by switches 19-1 to 19-n including a transistor and the like, a sample hold circuit is divided into a sample circuit 15a and a hold circuit 15b, and a timing selection circuit 16A is provided between them.

The shift output signals S1 to Sm of the shift register 14 obtained by shifting the shift data S1 according to a shift clock signal CLK are divided into three signals to be applied to the sample circuit 15a, and the sampling switches 11-1 to 11-n of the sample circuit 15a are turned on three by three to simultaneously sample the R, G and B signals and apply the same to the timing selection circuit 16A.

In the timing selection circuit 16A, the switches 19-1 to 19-n are on-off controlled according to the enable signals REN, GEN and BEN, so that when the R, G and B signals are simultaneously sampled according to the shift output signal S1 by the sampling switches 11-1 to 11-3, and the enable signals REN, GEN and BEN are simultaneously set to "1", the switches 19-1 to 19-3 are turned on at the same time to hold the signals in the

capacitors 12-1 to 12-3 of the hold circuit 15b. That is, the R, G and B signals are simultaneously sampled.

When the enable signals REN, GEN, BEN are sequentially set to '1', the switches 19-1 to 19-3 are sequentially turned on, whereby the R, G and B signals simultaneously sampled by the sampling switches 11-1 to 11-3 of the sample circuit 15a are sequentially sampled and held in the capacitors 12-1 to 12-3 of the hold circuit 15b. That is, the R, G and B signals are sequentially sampled.

Fig. 5 is a block diagram showing the principal part of still another embodiment according to the invention, in which the reference numerals 21-1 to 21-n designate a sampling switch, 22-1 to 22-n a capacitor for holding, 23-1, 23-2, 23-3 a latch circuit, 24 a shift register, 25 a sample hold circuit, 26 a timing selection circuit, 27 an analog buffer circuit, 28-1 to 28-n a buffer circuit, SI a shift data, CKL a shift clock signal, S1 to Sm a shift output signal, RL, GL, BL a latch signal, and Q1 to Qn an output terminal.

Although the shift register 24, the sample hold circuit 25 and the analog buffer circuit 27 are constructed similarly to those of the above embodiments, the timing selection circuit 26 includes latch circuits 23-1 to 23-3, and three latch signals RL, GL, BL

correspond to three control signals in Fig. 1.

The latch circuits 23-1 to 23-3 of the timing selection circuit 26 are adapted to latch the shift output signals S1 to Sm of the shift register 24 according to the latch signals RL, GL, BL, and apply the same as sampling timing signals from the output terminal Q to the sample hold circuit 25. Thus, the R, G and B signals are sampled by the sampling switches 21-1 to 21-n, and held in the capacitors 22-1 to 22-n to apply the data voltage from the output terminals Q1 to Qn through the buffer circuits 28-1 to 28-n to the data bus of the matrix display panel not shown.

When the latch signals RL, GL, BL are simultaneously applied to the timing selection circuit 26, for example, the shift output signal S1 is latched in the latch circuits 23-1 to 23-3 at the same time, and according to the sampling timing signal from the output terminal Q, the sampling switches 21-1 to 21-3 of the sample hold circuit 25 are simultaneously turned on to sample the R, G and B signals at the same time.

On the other hand, when the latch signals RL, GL and BL are sequentially applied, for example, after the shift output signal S1 is latched in the latch circuit 23-1, latched in the latch circuit 23-2, and further latched in the latch circuit 23-3. That is, the shift output signal

S1 is latched in the latch circuits 23-1 to 23-3, respectively in three different timings, so the sampling timing signals different in timing are sequentially applied to the sample hold circuit 25, thereby sequentially sampling the R, G and B signals.

Fig. 6 is a diagram for explaining the operation of sequential sampling in Fig. 5, in which the same reference numerals as those of Fig. 5 designate examples of signals having the same name. The shift data S1 is sequentially shifted according to the shift clock signal CLK to sequentially output shift output signals S1, S2, S3, .... When three latch signals RL, GL, BL are applied in different phases, they are sequentially latched in the latch circuits 23-1 to 23-3 corresponding thereto to be sequentially output from the output terminals Q of the latch circuits 23-1 to 23-3 corresponding to the shift output signal S1 as indicated by 1R, 1G and 1B, and sequentially output further corresponding to the shift output signal S2 as indicated by 2R, 2G. Thus, in the sample hold circuit 25, the R, G and B signals are sequentially sampled.

Fig. 7 is a diagram for explaining the operation of simultaneous sampling in Fig. 5, in which the same reference numerals as those of Fig. 5 designate examples of signals having the same name. Although a shift data

S1, a shift clock signal CLK and shift output signals S1, S2, S3, ...are the same as those shown in Fig. 6, the latch signals RL, GL, BL are applied to a timing selection circuit 26 in the same phase. Accordingly, the shift output signals S1, S2, S3, ...are simultaneously latched in the latch circuits 23-1 to 23-3 to be output from the output terminals Q corresponding to the shift output signals S1, S2 as indicated by 1R, 1G, 1B, 2R, 2G, ...so that the R, G and B signals are simultaneously sampled.

Fig. 8 is a block diagram of a display device adopting sequential sampling display, in which a matrix display panel 30 is a black-and-white matrix display panel with  $243 \times 240$ , for example, the reference numeral 31 designates a data bus, 32 a scan bus, 33 a switching element such as a transistor, 34 a display element formed of liquid crystal or the like, 35 a synchronous separation circuit, 36 a color difference signal trap, 37 a buffer amplifier, 38 a timing control circuit, 39 a scan driver, and 40-1 to 40-3 designate a data driver.

The data drivers 40-1 to 40-3 respectively have the configuration shown in Fig. 2, Fig. 4 or Fig. 5, in which 243 data buses of the matrix display panel 30 are assigned to the respective data drivers 40-1 to 40-3 by 81 data buses each. The shift registers of the respective data drivers 40-1 to 40-3 are connected in

series, so that the shift data S1 is shifted according to the shift clock signal CLK.

A video signal is applied to the synchronous separation circuit 35, and the separated synchronous signal SYN is applied to the timing control circuit 38 to output the shift data S1, the shift clock signal CLK, the control signals CS1, CS2, CS3 such as an enable signal or a latch signal, the scan data SD and the scan clock signal SCN. In the color difference signal trap 36, a color signal is sampled from the video signal by trap with 3.58 MHz to be applied as a black-and-white luminance signal through the buffer amplifier 37 to the data drivers 40-1 to 40-3. In this case, the terminals to which the R, G and B signals are applied are connected in common to apply the luminance signal.

The scan driver 39 shifts the scan data SD according to a scan clock signal SCN, and sequentially applies a scan pulse to the scan bus 32 by the shift output signal, and in synchronization with the scan pulse, the data voltage for one line is output from the data drivers 40-1 to 40-3 and applied to the data bus 31 of the matrix display panel 30.

In the case where the timing selection circuit of the data drivers 40-1 to 40-3 is configured as shown in Fig. 2 or Fig. 4, the control signals CS1, CS2, CS3 from

the timing control circuit 38 are enable signals REN, GEN, BEN, and as shown in Fig. 3, made different in phase, whereby the luminance signals from the buffer amplifier 37 are sequentially sampled. In the case where the timing selection circuit is configured as shown in Fig. 5, the control signals CS1, CS2, CS3 from the timing control circuit 38 are latch signals RL, GL, BL, and as shown in Fig. 6, made different in phase, whereby the luminance signals from the buffer amplifier 37 are sequentially sampled.

In the case of a black-and-white television receiver, when three dots of R, G and B are simultaneously sampled, the resolution is degraded, but as described above, the sequential sampling can make a display without lowering the resolution.

Fig. 9 is a block diagram of a display device adopting simultaneous sampling display, in which the reference numeral 41 designates a data bus, 42 a scan bus, 43 a switching element such as a transistor, 44 a display element, 45 a matrix display panel, 47 a buffer amplifier, 48 a timing control circuit, 49 a scan driver, and 50-1 to 50-3 designate a data driver. The matrix display panel 45 has a display capacity of  $320 \times 200 \times 3$ , for example, and in the case where the R, G and B pixels are arrayed in stripes to make a color display, 320 data

buses 41 are assigned to the data drivers 50-1 to 50-3, respectively.

The R, G and B signals and a synchronous signal SYN are input from a computer or the like, and the shift data S1, the shift clock signal CLK, the control signal CS, the scan data SD, and the scan clock signal SCN are output from the timing control circuit 48 according to the synchronous signal SYN. The R, G and B signals from the buffer amplifier 47 are applied to the data drivers 50-1 to 50-3. A scan pulse is applied from the scan driver 49 to the scan bus 42 of the matrix display panel 45, and in synchronization with it, the data voltage is applied from the data drivers 50-1 to 50-3 to the data bus 41.

The data drivers 50-1 to 50-3 are respectively configured as shown in Fig. 2, Fig. 4 or Fig. 5, and the shift registers thereof are connected in series, thereby shifting the shift data S1 according to the shift clock signal CLK. The control signal CS from the timing control circuit 48 corresponds to the enable signals REN, GEN, BEN of the same phase when the timing selection circuit of the data drivers 50-1 to 50-3 is configured as shown in Fig. 2 or Fig. 4, and corresponds to the latch signals RL, GL, BL of the same phase when it is configured as shown in Fig. 5.



Thus, in the data drivers 50-1 to 50-3, the R, G and B signals are simultaneously sampled to thereby solve the problem of waveform dullness due to capacitance of a transmission path of the R, G and B signals and make a color display on the matrix display panel 45.

Fig. 10 is a block diagram of a display device of split driven display type, in which data buses of a matrix display panel 55 are led out to both sides, and the data voltage is applied thereto by data drivers 60-1 to 60-k+1. The reference numeral 56 is a timing control circuit, and 57 is a scan driver. The R, G and B signals from a computer or the like are applied to the data drivers 60-1 to 60-k+1, a synchronous signal SYN is applied to the timing control circuit 56, and shift clock signals CLKA, CLKB, control signals CSA, CSB, a shift data S1, a scan data SD, a scan clock signal SCN and so on are output from the timing control circuit 56.

The data drivers 60-1 to 60-K+1 are configured as shown in Fig. 2, Fig. 4 or Fig. 5, the shift registers of the odd-numbered data drivers 60-1, 60-3, ...60-k are connected in series to sequentially shift the shift data S1 according to the shift clock signal CLKA, and similarly the shift registers of the even-numbered data drivers 60-2, 60-4, ...60-k+1 are also connected in series to sequentially shift the shift data S1 according to the

shift clock signal CLKB.

As to the R, G and B signals, corresponding to the configuration of Fig. 2, Fig. 4 or Fig. 5, the odd-numbered data drivers 60-1, 60-3, ...60-k are connected to have the relationship represented by  $R \rightarrow R$ ,  $G \rightarrow B$ ,  $B \rightarrow G$ , and the even-numbered data drivers 60-2, 60-4, ... 60-k+1 are connected to have the relationship represented by  $R \rightarrow G$ ,  $G \rightarrow R$ ,  $B \rightarrow B$ .

The sampling timing signals in the data drivers 60-1 to 60-k+1 are formed by a shift output signal of the shift register and the control signals CSA, CSB from the timing control circuit 56 to sample the R, G and B signals, and the data voltage is applied to the data bus of the matrix display panel 55 in synchronization with a scan pulse from the scan driver 57.

In the matrix display panel 55, the R, G and B pixels at the points of intersection of the data buses and the scan buses are arrayed as indicated by circles, and the data buses are alternately led out to both sides, whereby in the odd-numbered data drivers 60-1, 60-3, ...60-k, the data voltage is applied to the data buses corresponding to the pixels arrayed in the order of R, B, G, R, B, and G, and in the even-numbered data drivers 60-2, 60-4, ...60-k+1, the data voltage is applied to the data buses corresponding to the pixels arrayed in the order of

G, R, B, G, R and B.

In the case where the data drivers 60-1 to 60-K+1 are configured as shown in Fig. 2, the odd-numbered data drivers 60-1, 60-3, ...60-k take the control signal CSA as the enable signal BEN, and takes the control signal CBS as the enable signals REN, GEN. The even-numbered data drivers 60-2, 60-4, ..., 60-k+1 take the control signal CSA as the enable REN, and take the control signal CSB as the enable signals GEN, BEN.

Fig. 11 is a diagram for explaining the control timing of Fig. 10, which shows the case where the timing selection circuit of the data drivers 60-1 to 60-k+1 is, as described above, configured as shown in Fig. 2 and Fig. 4. That is, the shift data S1 is applied from the timing control circuit 56 to the shift register, and shifted according to the shift clock signal CLK (CLKA, CLKB), and shift output signals are obtained according to the shift clock signal CLK as indicated by S1, S2. When the control signals CSA, CSB are output as shown in the diagram, in the data driver 60-1, since the shift output signal S1 and the control signal CSB (REN, GEN) (See Fig. 2) are "1", the output signals of AND circuits 13-1, 13-2 are "1", and the connection is made to have the relationship represented by  $R \rightarrow R$ ,  $G \rightarrow B$ , so that the R and B signals are sampled.

In the data driver 60-2, since the shift output signal S1 and the control signal CBS (REN) (See Fig. 2) are "1", the output signal of the AND circuits 13-1 is "1", so that the connection is made to have the relationship represented by  $R \rightarrow G$  to sample the G signal. That is, the input R, G and B signals are simultaneously sampled according to the sampling timing signals (1R, 1G, 1B) of T1. Thus, the data voltage to the pixels R, B is applied from the data driver 60-1, and the data voltage to the pixel of G is applied from the data driver 60-2.

Subsequently, since the control signal CSA is "1", in the data driver 60-1, corresponding to "1" of the enable signal BEN, the output signal of an AND circuit 13-3 becomes "1" so that the connection is made to have the relationship represented by  $B \rightarrow G$  to sample the G signal. In the data driver 60-2, corresponding to "1" of the enable signals GEN, BEN, the output signals of the AND circuits 13-2, 13-3 become "1" so that the connection is made to have the relationship represented by  $G \rightarrow R$ ,  $B \rightarrow B$  to sample the R and B signals. That is, the input R, G and B signals are simultaneously sampled according to the sampling timing signals (2R, 2G, 2B) of T2 in Fig. 11. Hereinafter, similarly according to the sampling timing signals T2, T3, T4 corresponding to the shift output signals S1, S2, ... and the control signals CSB, CSA, in

the odd-numbered data drivers and the even-numbered data drivers, the R, G and B signals are simultaneously sampled.

Fig. 12 is a diagram for explaining the control timing of Fig. 10, which shows the case where the timing selection circuit of the data drivers 60-1 to 60-k+1 is configured as shown in Fig. 5. That is, the shift data S1 from the timing control circuit 56 is shifted to the shift register according to the shift clock signal CLK (CLKA, CLKB), and shift output signals S1, S2, ... are output. The control signals CSB, CSA are applied as latch signals to the latch circuit of the data drivers 60-1 to 60-k+1. In this case, the input terminals of the R, G and B signals and the input terminals of the latch signals RL, GL, BL in Fig. 5 are connected to the input terminals in the odd-numbered data drivers 60-1, 60-3, ..., 60-k, and in the even-numbered data drivers 60-2, 60-4, ...60-k+1 in the same relationship as that in the case of describing Fig. 11.

Thus, in the case where the shift output signal S1 is "1", when the control signal CSB (the latch signal) is "1", since the relationship is  $CSB=RL=CL$  in the odd-numbered data driver 60-1, the shift output signal S1 is latched in the latch circuits 23-1, 23-2 (See Fig. 5), and since the relationship is  $CSB=RL$  in the even-numbered

data driver 60-2, the shift output signal S1 is latched in the latch circuit 23-1. In the odd-numbered data driver 60-1, the connection is made to have the relationship represented by  $R \rightarrow R$ ,  $G \rightarrow B$ ,  $B \rightarrow G$ , so that the R and B signals are sampled, and in the even-numbered data driver 60-2, the connection is made to have the relationship represented by  $R \rightarrow G$ ,  $G \rightarrow R$ ,  $B \rightarrow B$  so that the G signal is sampled. That is, the R, G and B signals are simultaneously sampled according to the sampling timing signal designated by T1.

When the control signal CSA is "1", in the odd-numbered data driver 60-1, the relationship is  $CSA = BL$ , so that the shift output signal S1 is latched in the latch circuit 23-3, and in the even-numbered data driver 60-2, the relationship is  $CSA = GL$ ,  $BL$ , so that the shift output signal S1 is latched in the latch circuits 23-2, 23-3. In the odd-numbered data driver 60-1, the G signal is sampled, and in the even-numbered data driver 60-2, the R and B signals are sampled. That is, according to the sampling timing signal designated by T2, the R, G and B signals are simultaneously sampled. Hereinafter, similarly T3, ...sampling timing signals are formed, and the odd-numbered and even-numbered data drivers are cooperated to simultaneously sample the R, G and B signals.

In the case where the data buses are led out to both sides of the matrix display panel 55 and respectively provided with data drivers, the shift register may be operated with  $1/2$  shift clock signal frequency as compared with the case where the data driver is connected to the data bus led out to one side, so it is preferable as the data driver of the matrix display panel having a large display capacity.

[Advantage of the Invention]

According to the invention, as described above, the data driver includes the timing selection circuit 6 for dividing the output signal of the shift register 4 into three signals, which are selected by the control signals CS1, CS2, CS3 such as three enable signals REN, GEN, BEN or latch signals RL, GL, BL to form the sampling timing signals to be applied to the sample hold circuit 5, whereby the data driver may be applied to the sequential sampling for the matrix display panel 3 having the comparatively small display capacity and the simultaneously sampling for the matrix display panel 3 having the comparatively large display capacity according to the control signal.

The output signal of the shift register 4 is divided into three signals, which are selected according to the control signals, whereby the bit length of the shift

register 4 can be made one-third as long as that of the prior art so that the frequency of the shift clock signal can be decreased to lower the power consumption and make the constitution inexpensive, which may lead to the improvement in economical efficiency.

#### 4. Brief Description of the Drawings

Fig. 1 is a diagram for explaining the principle of the invention;

Fig. 2 is a block diagram showing the principal part of one embodiment according to the invention;

Fig. 3 is a diagram for explaining the operation of one embodiment according to the invention;

Fig. 4 is a block diagram showing the principal part of another embodiment according to the invention;

Fig. 5 is a block diagram showing the principal part of still another embodiment according to the invention;

Fig. 6 is a diagram for explaining the operation of sequential sampling;

Fig. 7 is a diagram for explaining the operation of simultaneous sampling;

Fig. 8 is a block diagram of a display device adopting sequential sampling display;

Fig. 9 is a block diagram of a display device adopting simultaneous sampling display;



Fig. 10 is a block diagram of a display device of split driven display type;

Figs. 11 and 12 are diagrams for explaining the control timing of Fig. 10;

Fig. 13 is a diagram for explaining a video signal;

Fig. 14 is a diagram for explaining RGB signals;

Fig. 15 is a block diagram showing the principal part of the conventional data driver;

Fig. 16 is a diagram for explaining the operation of the prior art;

Fig. 17 is a diagram for explaining sequential sampling; and

Fig. 18 is a block diagram showing the principal part of simultaneous sampling in the prior art.

1: data bus    2: scan bus    3: matrix display panel  
4: shift register    5: sample hold circuit    6: timing  
selection circuit    7: analog buffer circuit    8: scan  
driver

Fig. 1:

DIAGRAM FOR EXPLAINING THE PRINCIPLE OF THE INVENTION

SHIFT DATA

SHIFT CLOCK SIGNAL

CONTROL SIGNAL

3: MATRIX DISPLAY PANEL

4: SHIFT REGISTER

5: SAMPLE HOLD CIRCUIT

6: TIMING SELECTION CIRCUIT

7: ANALOG BUFFER CIRCUIT

8: SCAN DRIVER

Fig. 2:

BLOCK DIAGRAM SHOWING THE PRINCIPAL PART OF ONE  
EMBODIMENT ACCORDING TO THE INVENTION

14: SHIFT REGISTER

Fig. 3:

DIAGRAM FOR EXPLAINING THE OPERATION OF ONE EMBODIMENT  
ACCORDING TO THE INVENTION

Fig. 4:

BLOCK DIAGRAM SHOWING THE PRINCIPAL PART OF ANOTHER  
EMBODIMENT ACCORDING TO THE INVENTION

14: SHIFT REGISTER

Fig. 5:

BLOCK DIAGRAM SHOWING THE PRINCIPAL PART OF STILL ANOTHER  
EMBODIMENT ACCORDING TO THE INVENTION

24: SHIFT REGISTER

Fig. 6:

DIAGRAM FOR EXPLAINING THE OPERATION OF SEQUENTIAL  
SAMPLING

Fig. 7:

DIAGRAM FOR EXPLAINING THE OPERATION OF SIMULTANEOUS  
SAMPLING

Fig. 8:

BLOCK DIAGRAM SHOWING A DISPLAY DEVICE ADOPTING  
SEQUENTIAL SAMPLING

VIDEO SIGNAL

30: MATRIX DISPLAY PANEL

35: SYNCHRONOUS SEPARATION CIRCUIT

36: COLOR DIFFERENCE SIGNAL TRAP

38: TIMING CONTROL CIRCUIT

39: SCAN DRIVER

Fig. 9:

BLOCK DIAGRAM SHOWING A DISPLAY DEVICE ADOPTING  
SIMULTANEOUS SAMPLING

45: MATRIX DISPLAY PANEL

48: TIMING CONTROL CIRCUIT

49: SCAN DRIVER

Fig. 10:

BLOCK DIAGRAM SHOWING A DISPLAY DEVICE OF SPLIT DRIVEN  
DISPLAY TYPE

55: MATRIX DISPLAY PANEL

57: SCAN DRIVER

Fig. 11:

DIAGRAM FOR EXPLAINING THE CONTROL TIMING OF FIG. 10

Fig. 12:

DIAGRAM FOR EXPLAINING THE CONTROL TIMING OF FIG. 10

Fig. 13:

DIAGRAM FOR EXPLAINING A VIDEO SIGNAL

SYNCHRONOUS SIGNAL

COLOR DIFFERENCE SIGNAL

LUMINANCE SIGNAL

SYNCHRONOUS SIGNAL

Fig. 14:

DIAGRAM FOR EXPLAINING RGB SIGNAL

Fig. 15:

BLOCK DIAGRAM SHOWING THE PRINCIPAL PART OF THE  
CONVENTIONAL DATA DRIVER

74: SHIFT REGISTER

76: LEVEL CONVERTER

75: SAMPLE HOLD CIRCUIT

77: ANALOG BUFFER CIRCUIT

Fig. 16:

DIAGRAM FOR EXPLAINING THE OPERATION OF THE PRIOR ART

Fig. 17:

DIAGRAM FOR EXPLAINING SEQUENTIAL SAMPLING

Fig. 18:

BLOCK DIAGRAM SHOWING THE PRINCIPAL PART OF CONVENTIONAL  
SIMULTANEOUS SAMPLING

84: SHIFT REGISTER

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**